

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HYUN TAK KIM, ET AL.

Application No.:

Filed:

For: **FIELD EFFECT TRANSISTOR USING  
VANADIUM DIOXIDE LAYER AS  
CHANNEL MATERIAL AND METHOD  
OF MANUFACTURING THE FIELD  
EFFECT TRANSISTOR**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

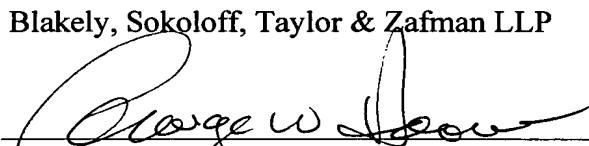
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2003-35556	3 June 2003

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

  
George W Hoover, Reg. No. 32,992

Dated: December 30, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0035556  
Application Number

출 원 년 월 일 : 2003년 06월 03일  
Date of Application JUN 03, 2003

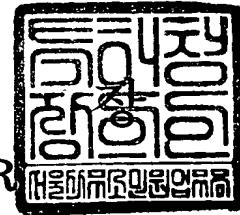
출 원 인 : 한국전자통신연구원  
Applicant(s) Electronics and Telecommunications Research Insti



2003 년 11 월 28 일

특 허 청

COMMISSIONER





1020030035556

출력 일자: 2003/12/4

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0016
【제출일자】	2003.06.03
【국제특허분류】	H01L
【발명의 명칭】	절연체 바나듐 산화막을 채널 영역으로 이용한 전계 효과 트랜지스터 및 그 제조 방법
【발명의 영문명칭】	Field effect transistor using Vanadium dioxide layer as channel material
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	김현탁
【성명의 영문표기】	KIM,Hyun Tak
【주민등록번호】	580711-1701612
【우편번호】	305-761
【주소】	대전광역시 유성구 전민동 엑스포아파트 206동 1505호
【국적】	KR
【발명자】	
【성명의 국문표기】	강광용
【성명의 영문표기】	KANG,Kwang Yong
【주민등록번호】	511003-1829811

【우편번호】	305-707		
【주소】	대전광역시 유성구 신성동 삼성한울아파트 110동 802호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	윤두협		
【성명의 영문표기】	YOUN,Doo Hyeb		
【주민등록번호】	630106-1102013		
【우편번호】	305-761		
【주소】	대전광역시 유성구 전민동 엑스포아파트 104동 1203호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	채병규		
【성명의 영문표기】	CHAE,Byung Gyu		
【주민등록번호】	691119-1892218		
【우편번호】	305-804		
【주소】	대전광역시 유성구 신성동 149-11 한화빌라 201호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)		
【수수료】			
【기본출원료】	18	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	9	항	397,000 원
【합계】	426,000 원		
【감면사유】	정부출연연구기관		
【감면후 수수료】	213,000 원		
【기술이전】			
【기술양도】	희망		
【실시권 허여】	희망		
【기술지도】	희망		

1020030035556

출력 일자: 2003/12/4

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명의 전계 효과 트랜지스터는, 채널로서 사용되는 절연체  $VO_2$  박막과, 미세 형상화한  $VO_2$  박막 위에 배치되되, 두 전극 간 채널 길이만큼 격리되게 배치한 소스 전극 및 드레인 전극과, 절연체  $VO_2$  박막 위에 배치되는 유전체막과, 그리고 유전체막에 일정 전압을 인가할 수 있는 게이트 전극으로 구성된다.

**【대표도】**

도 1

## 【명세서】

### 【발명의 명칭】

절연체 바나듐 산화막을 채널 영역으로 이용한 전계 효과 트랜지스터 및 그 제조 방법

{Field effect transistor using Vanadium dioxide layer as channel material}

### 【도면의 간단한 설명】

도 1은 본 발명에 따른 전계 효과 트랜지스터를 나타내 보인 설계도(layout)로서 평면도이다.

도 2는 도 1에 나타낸 II-II'(절단선)에 대응시켜 보인 단면도이다.

도 3은 도 1의 A 부분을 확대하여 나타낸 평면도이다.

도 4는 도 1의 바나듐 산화막에서 측정한 온도에 따른 저항 특성을 나타내 보인 그래프이다.

도 5는 도 1의 전계 효과 트랜지스터의 동작 특성을 나타내 보인 그래프이다.

<도면의 주요 부분에 대한 부호의 설명>

110...Al<sub>2</sub>O<sub>3</sub> 기판      120...VO<sub>2</sub> 박막

130...제1 Au/Cr 전극   140...제2 Au/Cr 전극

150...Ba<sub>0.5</sub>Sr<sub>0.5</sub>TiO<sub>3</sub>(BSTO) 유전체막   160...제3 Au/Cr 전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 전계 효과 트랜지스터 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 절연체 바나듐 산화물 박막을 채널 영역으로 이용한 전계 효과 트랜지스터 및 그 제조 방법에 관한 것이다.

<11> 현재 초소형 및 초고속용 스위칭 트랜지스터로서 모스 전계 효과 트랜지스터(MOSFET; Metal Oxide Semiconductor Field Effect Transistor)가 주로 사용되고 있다. MOSFET는 낮은 드레인 전압에서 선형적 특성을 나타내는 2개의 p-n 접합을 기본 구조로 채용하고 있다. 그러나 소자의 집적도 증가에 따라 채널 길이를 감소시키면 짧은 채널 효과(short channel effect)에 의한 여러 가지 문제들이 나타난다. 예를 들어, 채널 길이를 대략 50nm 이하로 감소시키는 경우 공핍층(depletion layer)의 증가로 캐리어(carrier)의 농도가 변화하고, 게이트와 채널 사이를 관통하여 흐르는 전류도 크게 증가하게 된다.

<12> 이와 같은 문제를 해결하기 위한 하나의 방법으로서, 최근 허바드(Hubbard)가 주장한 연속적 금속-절연체 상전이(Mott-Hubbard metal-insulator transition), 즉 2차 상전이를 겪는 모트-허바드(Mott-Hubbard) 절연체를 채널층에 사용하는 전계 효과 트랜지스터에 대한 연구가 활발하게 진행되고 있다. 허바드의 연속 금속-절연체 상전이는 "J. Hubbard, Proc. Roy. Sci. (London) A276, 238 (1963), A281, 40-1 (1963)"에서 설명되고, 이를 이용한 트랜지스터는 "D. M. Newns, J. A. Misewich, C. C. Tsuei, A. Gupta, B. A. Scott, and A. Schrott, Appl. Phys. Lett. 73, 780 (1998)"에 나와 있다. 허바드의 연속 금속-절연체 상전이를 이용한 트랜

지스터를 모트-허바드 전계효과 트랜지스터 혹은 모트 전계효과 트랜지스터라고 부른다. 모트-허바드 전계 효과 트랜지스터는 금속-절연체 상전이에 따라 온/오프 동작을 수행하며, 모스 전계 효과 트랜지스터와 달리 디폴리션층이 존재하지 않으므로 소자의 집적도를 크게 향상시킬 수 있을 뿐만 아니라, 모스 전계 효과 트랜지스터보다 고속의 스위칭 특성을 나타내는 것으로 알려져 있다.

<13> 그런데 이와 같은 모트-허바드 전계 효과 트랜지스터의 경우에도, 일반적인 모스 전계 효과 트랜지스터와 마찬가지로, 금속-절연체 상전이 현상을 이용한다. 따라서 초소형 소자가 요구되는 응용 분야에 적용할 경우, 소자의 면적 감소로 인해 흐를 수 있는 전류의 양이 작아진다는 문제가 발생한다. 이것은 일반적으로 반도체가 갖는 캐리어(carrier)의 수가 한정되어 있기 때문이다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는, 저농도의 홀(hole)을 바나듐 산화물 박막에 첨가시킴으로써 금속-절연체 상전이를 유발하여, 적은 소자 면적에서도 많은 양의 전류를 제어할 수 있는 구조의 전계 효과 트랜지스터를 제공하는 것이다.

<15> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기와 같은 전계 효과 트랜지스터를 제조하는 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<16> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 전계 효과 트랜지스터

는, 채널 영역으로 사용되는 절연체  $VO_2$  박막; 상기 절연체  $VO_2$  박막 위에 배치하되, 두 전극 간 채널 길이만큼 격리되게 배치한 소스 전극 및 드레인 전극; 상기  $VO_2$  박막 위에 배치하는 유전체막; 및 상기 유전체막에 일정 전압을 인가할 수 있는 게이트 전극을 포함하는 것을 특징으로 한다.

<17> 상기  $VO_2$  박막은 실리콘 기판, 실리콘 온 인슐레이터(SOI) 기판 또는 사파이어 기판 위에 배치되는 것이 바람직하다.

<18> 상기 유전체막은  $Ba_{1-x}Sr_xTiO_3$ (0??x??0.6),  $Pb_{1-x}Zr_xTiO_3$  (0??x??0.5),  $Ta_2O_3$ ,  $Si_3N_4$  또는  $SiO_2$  유전체막인 것이 바람직하다.

<19> 상기 소스 전극, 드레인 전극 및 게이트 전극은 Au/Cr 금속 박막인 것이 바람직하다.

<20> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 전계 효과 트랜지스터의 제조 방법은, 단결정 기판 위에 절연체  $VO_2$  박막을 형성하는 단계; 상기 패터닝한  $VO_2$  박막의 좌우 양면 및 상부의 일정 영역을 각각 덮는 소스 전극 및 드레인 전극을 형성하는 단계; 상기 기판, 소스 전극, 드레인 전극 및  $VO_2$  박막 위에 유전체막을 형성하는 단계; 및 상기 유전체막 위에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<21> 상기 기판으로는 실리콘 단결정 기판, 실리콘 온 인슐레이터(SOI) 기판 또는 사파이어 기판을 사용하는 것이 바람직하다.

<22> 본 발명에 있어서, 상기  $VO_2$  박막의 면적이 수  $\mu m^2$ 가 되도록 패터닝하는 단계를 더 포함할 수 있다. 이 경우 상기 패터닝은 포토리소그라피 및 RF-이온 밀링 식각법을 사용하여 수행하는 것이 바람직하다.

<23> 상기 소스 전극, 드레인 전극 및 게이트 전극은 리프트-오프 공정을 사용하여 형성하는 것이 바람직하다.

<24> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

<25> 도 1은 본 발명에 따른 전계 효과 트랜지스터를 나타내 보인 설계도로서 평면도이며, 도 2는 도 1에 나타낸 II-II'선(절단선)에 대응시켜 보인 단면도이다. 그리고 도 3은 도 1의 "A" 부분을 확대하여 나타내 보인 평면도이다.

<26> 도 1 내지 도 3을 참조하면, 사파이어( $Al_2O_3$ ) 단결정 기판(110) 위에, 대략 700-1000?? 두께를 가지며, 수  $\mu m^2$ 의 사각형으로 패터닝한  $VO_2$ (Vanadium Dioxide) 박막(120)이 배치된다.  $Al_2O_3$  단결정 기판(110)은  $VO_2$  박막(120)을 성장시키기에 적절한 증착조건을 제공하기 때문에 사용되었다. 그러나  $Al_2O_3$  단결정 기판(110)으로만 한정하여서는 안되며, 경우에 따라서는 실리콘(Si) 단결정 기판이나 또는 실리콘 온 인슐레이터(SOI; Silicon On Insulator)기판을 사용 할 수도 있다.

<27> 상기  $VO_2$  박막(120)은 모트-브링크만-라이스(Mott-Brinkman-Rice) 절연체이다. 모트-브링크만-라이스 절연체는, 속박되고 금속적인 전자 구조를 갖는 상자성 절연체이다. 반면에 일반적으로 알려져 있는 모트-절연체(또는 모트-허바드-절연체)는, 반강자성 절연체로서 모트-브링크만-라이스 절연체와는 다르다. 이 차이점은 브링크만-라이스 퍽쳐를 기술한 "W. F. Brinkman, T. M. Rice, Phys. Rev. B2, 4302 (1970)" 와 허바드 이론을 기반으로 기술한 "J. Hubbard, Proc. Roy. Sci. (London) A276, 238 (1963), A281, 40-1 (1963)"에 잘 나타나 있다. 모트-브링크만-라이스 절연체에 매우 적은 농도의 홀(hole)을 첨가하면, 모트-브링크만-라이스 절연체는 쿨롱 상호 작용이 약해져서 급격히 금속으로 상전이 되어 금속상과 절연상을 함께 갖는 불균일 금속적 시스템으로 변경된다. 이와 같이 급격한 상전이 현상은

"Hyun-Tak Kim, Physica C 341-348, 259(2000)와 Hyun-Tak Kim, New Trends in Superconductivity (Ed. J. F. Annet and S. Kruchinin, Kluwer, 2002), NATO Science Series Vol. II/67, p. 137; cond-mat/0110112"에 잘 나타나 있다. 여기서 불균일 금속적 시스템이 되는 이유는 홀의 첨가로 인하여 전자들의 수가 원자들의 수보다 적어지기 때문이다. 이 경우 국부적(local)이지만 브링크만-라이스의 강상관(strong correlation) 금속 이론을 따르는 강상관 금속으로 상전이 된다. 브링크만-라이스의 강상관 금속 이론도 "W. F. Brinkman, T. M. Rice, Phys. Rev. B2, 4302 (1970)"에 잘 나타나 있다. 이와 같은 강상관 금속은 한 개의 원자에 한 개의 전자를 갖는 전자 구조, 즉 다시 말해서 s 에너지 띠(energy band)에 1개의 전자가 채워진 금속적 전자 구조와 전자의 운반자를 갖는다.

<28>  $\text{Al}_2\text{O}_3$  단결정 기판(110) 상부 및  $\text{VO}_2$  박막(120)의 상부 일부 표면 위에는 소스 전극으로서의 제1 Au/Cr 전극(130) 및 드레인 전극으로서의 제2 Au/Cr 전극(140)이  $\text{VO}_2$  박막(120) 좌우에 배치된다.  $\text{VO}_2$  박막(120) 위에서 제1 Au/Cr 전극(130)과 제2 Au/Cr 전극(140)은 채널 길이 만큼 격리되고 서로 마주보도록 배치된다. 도 3에 도시된 바와 같이,  $\text{VO}_2$  박막(120) 사이, 즉 채널의 길이(L)는 대략  $3\mu\text{m}$ 이며, 채널의 폭(W)은 대략  $10\mu\text{m}$ 이다. 본 실시예에서는 소스 전극과 드레인 전극으로서 Au/Cr 이중 금속 박막을 사용하였고, Au/Cr 이중 박막 중에서 Cr 막은  $\text{Al}_2\text{O}_3$  단결정 기판(110)과 Au 막 간의 양호한 접착을 위한 버퍼층(buffer layer)으로서 대략 50 nm의 두께를 갖는다.

<29> 제1 Au/Cr 전극(130) 및 제2 Au/Cr 전극(140)과 남은  $\text{VO}_2$  박막(120) 그리고  $\text{Al}_2\text{O}_3$  기판(110) 일부의 표면 위에는 도 1처럼 게이트 절연막으로서 유전율(??)이 대략 43인  $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ (0??x??0.6) 유전체막, 예컨대  $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ (BSTO) 유전체막(150)이 배치된다.

이 BSTO 유전체막(150)은 일정 전압이 인가됨에 따라  $VO_2$  박막(120)에 충전 홀을 유입시켜  $VO_2$  박막(120)에 급격한 금속-절연체 상전이 현상이 발생되도록 하여 도전 채널이 만들어지도록 한다. BSTO 유전체막(150) 대신에  $Pb_{1-x}Zr_xTiO_3(0.75 \leq x \leq 0.5)$ ,  $Ta_2O_3$ ,  $Si_3N_4$  또는  $SiO_2$  유전체 막과 같은 다른 유전체막, 예컨대 유전율이 대략 200 이상인 고 유전체막을 사용할 수도 있다. BSTO 유전체막(150) 위에는 이 BSTO 유전체막(150)에 일정 전압을 인가하기 위한 게이트 전극으로서의 제3 Au/Cr 전극(160)이 형성된다.

<30> 이와 같은 전계 효과 트랜지스터의 동작 과정을 설명하면 다음과 같다.

<31> 먼저 도 4는 절연체  $VO_2$  박막의 온도 변화에 따른 저항 변화를 나타내 보인 그래프이다.

<32> 도 4를 참조하면, 앞서 설명한 바와 같이,  $VO_2$  박막은 모트-브링크만-라이스 절연체이다. 따라서 온도가 330K까지는 저항이 로그(log) 함수로 감소되지만, 온도가 대략 340K 정도(실온 이상)가 되면, 저항은 급격하게 감소하여 금속으로의 상전이(phase transition)가 발생한다. 즉, 일정 조건하에서  $VO_2$  박막 표면에 일정 포텐셜이 발생되도록 하고,  $VO_2$  박막에 충전 홀(hole)을 주입시킴으로써 상온에서도 발생하게 할 수 있다.

<33> 보다 구체적으로 설명하면, 제1 Au/Cr 전극(130) 및 제2 Au/Cr 전극(140)에 일정 크기의 바이어스를 인가하여  $VO_2$  박막(120)의 표면에 일정 크기의 포텐셜이 발생되도록 한다. 그리고 제3 Au/Cr 전극(160)에 일정 크기의 전압을 인가하여 BSTO 유전체막(150)으로부터 충전 홀이  $VO_2$  박막(120)에 주입되도록 한다. 충전 홀이 주입된  $VO_2$  박막(120)은 급격한 금속-절연체 상전이에 의해 전도성 채널이 형성되며, 이 전도성 채널을 통하여 제1 Au/Cr 전극(130)과 제2 Au/Cr 전극(140) 사이에 전류가 흐르게 된다.

<34> 도 5는 본 발명에 따른 전계 효과 트랜지스터의 동작 특성을 나타내 보인 그래프이다.

<35> 도 5에 도시된 바와 같이, 게이트 전극인 제3 Au/Cr 전극(160)에 전압을 인가하지 않는 경우, 즉 참조 부호 "410"에 의해 나타낸 선의 경우, 드레인-소스 전압이 대략 20.7V가 될 때 까지는 누설 전류 수준인 대략 0.4mA의 전류만이 흐른다. 그러나 드레인-소스 전압이 그 이상이 되면, 전류량은 크게 늘어나서 대략 10mA의 전류가 흐른다. 한편 게이트 전극인 제3 Au/Cr 전극(160)에 각각 2V 및 10V의 전압을 인가하는 경우, 즉 각각 참조 부호 "420" 및 "430"에 의해 나타낸 선의 경우, 드레인-소스 전압이 각각 대략 19.3V 및 18.8V가 될 때 까지는 누설 전류 수준인 대략 0.4mA 정도의 전류만이 흐른다. 그러나 드레인-소스 전압이 각각 그 이상이 되면, 전류량은 크게 늘어나서 대략 10mA의 전류가 흐른다. 따라서 드레인-소스 전압을 일정 크기로 고정시키더라도, 게이트 전극인 제3 Au/Cr 전극(160)으로의 전압 인가 여부에 따라, 누설 전류량 정도의 전류만이 흐르도록 할 수 있거나 또는 많은 양의 전류가 흐르도록 할 수 있다. 예컨대 드레인-소스 전압을 20V로 고정시킨 경우, 게이트 전극인 제3 Au/Cr 전극(160)에 전압을 인가하지 않는 경우, 참조 부호 "410"으로 나타낸 선과 같이 대략 0.4mA의 전류만이 흐른다. 반면에 게이트 전극인 제3 Au/Cr 전극(160)에 2V 또는 10V의 전압을 인가하는 경우, 각각 참조 부호 "420" 및 "430"으로 나타낸 선과 같이 대략 10mA의 전류가 흐른다. 비록 본 실험 결과에서는 전류량을 10mA로 제한하였지만, 이는 실험 목적에 의해 제한된 것이며, 실제로 보다 많은 전류량을 발생시킬 수 있다는 것은 당연하다.

<36> 이하에서는 도 1 및 도 2를 참조하여 본 발명에 따른 전계 효과 트랜지스터의 제조 방법을 설명하기로 한다.

<37> 먼저  $Al_2O_3$ (1102) 단결정 기판(110) 위에 절연체  $VO_2$  박막을 대략 700-1000??의 두께로 형성한다. 절연체  $VO_2$  박막 위에 포토레지스트막(미도시)을 예컨대 스판 코팅법을 사용하여 도포하고, 예컨대 크롬 마스크(Cr-mask)를 이용한 포토리소그리픽 공정과 식각 공정을 수행하

여  $VO_2$  박막을 패터닝한다. 식각 방법으로는 RF-이온 밀링법을 사용할 수 있으며, 이러한 패터닝 공정을 거치면 수  $\mu\text{m}^2$  면적의  $VO_2$  박막(120)이 형성된다.

<38> 다음에,  $VO_2$  박막 일부를 제거한  $Al_2O_3(1102)$  단결정 기판(110)과 사각형 모양의  $VO_2$  박막(120) 표면 위에 Au/Cr막을 대략 200nm의 두께로 형성한다. 그리고 통상의 리프트-오프(lift off) 공정을 진행하여,  $VO_2$  박막(120)의 좌우 양쪽과  $VO_2$  박막(120)의 일부 표면을 덮는 제1 Au/Cr 전극(130)과 제2 Au/Cr 전극(140)을 형성한다.  $VO_2$  박막(120) 위에서 제1 Au/Cr 전극(130)과 제2 Au/Cr 전극(140)은 채널길이 만큼 격리되고 서로 마주보도록 형성된다. 리프트-오프 공정에 의해 Au/Cr막의 일부를 제거할 때, 채널의 길이 및 폭이 각각 3 $\mu\text{m}$  및 10 $\mu\text{m}$ 가 되도록 유의하여 제작한다. 그리고 경우에 따라서 채널의 길이 및 폭은 다른 크기가 되도록 제작할 수도 있다.

<39> 다음에,  $Al_2O_3(1102)$  단결정 기판(110), 제1 Au/Cr 전극(130), 제2 Au/Cr 전극(140) 및  $VO_2$  박막(120)의 노출 표면 위에 유전율(??)이 대략 43인  $Ba_{1-x}Sr_xTiO_3(0??x??0.6)$ (BSTO) 유전체막(150)을 형성한 후에 제1 Au/Cr 전극(130)과 제2 Au/Cr 전극(140)의 패드(pad) 부분이 잘 드러날 수 있도록 패터닝 한다. 이 경우에도 상기 BSTO 유전체막(150) 대신에,  $Pb_{1-x}Zr_xTiO_3(0??x??0.5)$ ,  $Ta_2O_3$ ,  $Si_3N_4$  또는  $SiO_2$  유전체막을 사용할 수도 있다. 그리고 BSTO 유전체막(150) 위에 게이트 전극으로서의 제3 Au/Cr 전극(160)을 형성한다. 이 제3 Au/Cr 전극(160) 형성 방법은 제1 및 제2 Au/Cr 전극(130, 140) 형성 방법과 동일하다.

### 【발명의 효과】

<40> 이상의 설명에서와 같이, 본 발명에 따른 전계 효과 트랜지스터에 의하면, 반도체 영역을 이용하는 대신에 금속-절연체 상전이 특성을 갖는  $VO_2$  박막을 채널 영역으로 사용함으로써

채널 길이에 대한 제한이 없으며, 결국 소자의 집적도 및 스위칭 속도를 크게 향상시킬 수 있다는 이점을 제공한다. 또한 드레인-소스 전압을 일정하게 유지시킨 상태에서 게이트 전압의 인가 여부에 따라 누설 전류 또는 대용량의 전류의 흐름을 제어할 수 있다는 이점도 제공한다.

**【특허 청구범위】****【청구항 1】**

채널 영역으로 사용되는 절연체  $VO_2$  박막;

상기 절연체  $VO_2$  박막 위에 배치되어, 상호 채널 길이만큼 격리되도록 배치된 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극과 상기 절연체  $VO_2$  박막 위에 배치되는 유전체막; 및 상기 유전체막에 일정 전압을 인가할 수 있는 게이트 전극을 포함하는 것을 특징으로 하는 전계 효과 트랜지스터.

**【청구항 2】**

제1항에 있어서,

상기  $VO_2$  박막은 실리콘 기판, 실리콘 온 인슐레이터(SOI) 기판 또는 사파이어 기판 위에 배치되는 것을 특징으로 하는 전계 효과 트랜지스터.

**【청구항 3】**

제1항에 있어서,

상기 유전체막은  $Ba_{1-x}Sr_xTiO_3$ (0??x??0.6),  $Pb_{1-x}Zr_xTiO_3$ (0??x??0.5),  $Ta_2O_3$ ,  $Si_3N_4$  또는  $SiO_2$  유전체막인 것을 특징으로 하는 전계 효과 트랜지스터.

**【청구항 4】**

제1항에 있어서,

상기 소스 전극, 드레인 전극 및 게이트 전극은  $Au/Cr$  전극인 것을 특징으로 하는 전계 효과 트랜지스터.

**【청구항 5】**

기판 위에  $V_0_2$  박막을 형성하는 단계;

상기  $V_0_2$  박막의 양쪽면과 상부 일부를 덮는 소스 전극 및 드레인 전극을 형성하는 단계;

상기 기판, 소스 전극, 드레인 전극 및  $V_0_2$  박막 위에 유전체막을 형성하는 단계;

상기 유전체막 위에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조 방법.

**【청구항 6】**

제5항에 있어서,

상기 기판으로는 실리콘 단결정 기판, 실리콘 온 인슐레이터(SOI) 기판 또는 사파이어 기판을 사용하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조 방법.

**【청구항 7】**

제5항에 있어서,

상기  $V_0_2$  박막을 수  $\mu\text{m}^2$ 의 면적을 갖도록 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조 방법.

**【청구항 8】**

제7항에 있어서,

상기 패터닝은 포토리소그라피 및 RF-이온 밀링 식각법을 사용하여 수행하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조 방법.

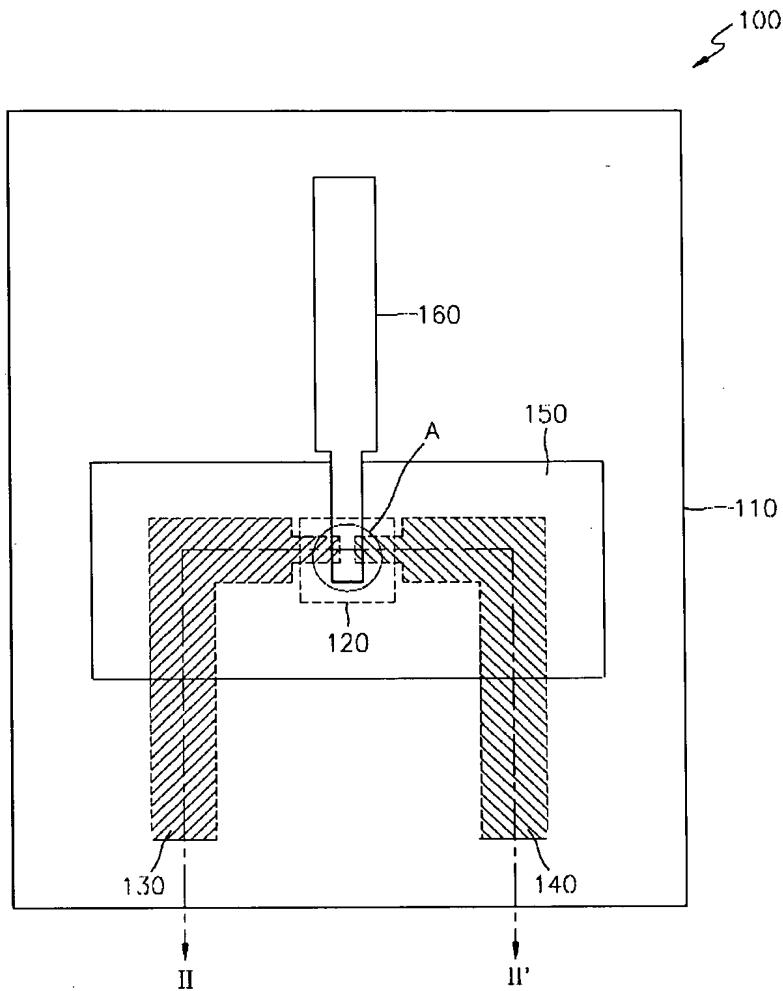
【청구항 9】

제5항에 있어서,

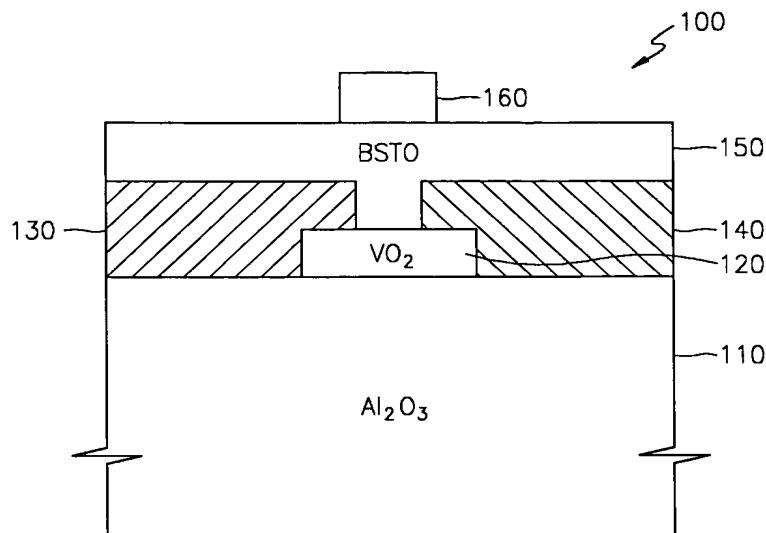
상기 소스 전극, 드레인 전극 및 게이트 전극은 리프트-오프 공정을 사용하여 형성하는 것을 특징으로 하는 전계 효과 트랜지스터의 제조 방법.

## 【도면】

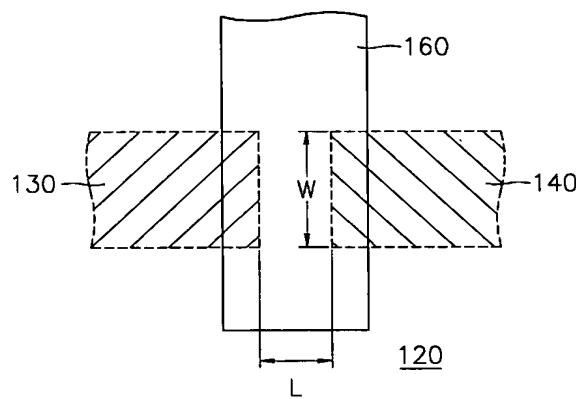
【도 1】



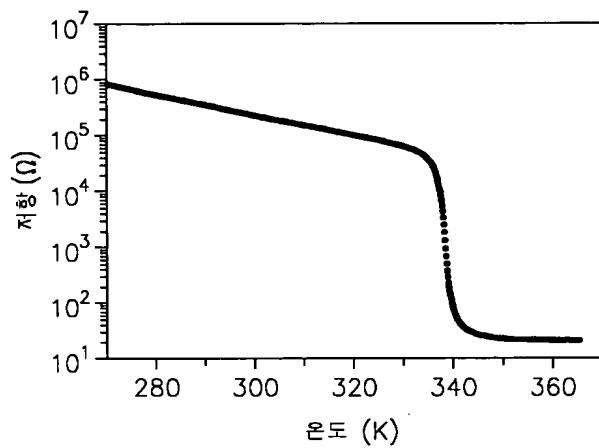
【도 2】



【도 3】



【도 4】



【도 5】

